

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平4-344430

(43)公開日 平成4年(1992)12月1日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 J 1/02	Y	7381-2G		
5/02	N	8909-2G		
H 0 1 L 37/02		9276-4M		

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-115807

(22)出願日 平成3年(1991)5月21日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 栗田 聡志

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

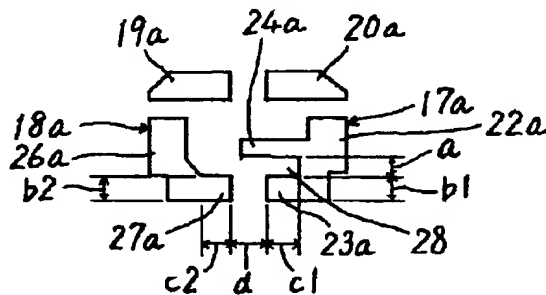
(74)代理人 弁理士 深見 久郎 (外2名)

(54)【発明の名称】 焦電型赤外線センサ

(57)【要約】

【構成】 ベース上に形成された第1の導電ランド17aには、抵抗チップのホット側端子を接続するホット側抵抗用領域23aとFETチップのゲート端子を接続するゲート用領域24aとが切欠28を介して隣接して与えられる。第2の導電ランド18aには、抵抗チップのアース側端子を接続するアース側抵抗用領域27aがホット側抵抗用領域23aと対向して与えられる。幅b1および幅b2は、互いに等しく、かつ、抵抗チップの幅の0.40~0.76倍とされ、間隔dは、抵抗チップの長さLの0.30~0.60倍とされる。長さc1およびc2は、互いに等しく、 $1.2L \leq c1 + c2 + d \leq 1.8L$ の関係を満たすようにされる。

【効果】 クリームソルダをリフローすることによりホット側抵抗用領域とアース側抵抗用領域とにまたがって実装される抵抗チップが、リフロー時にツームストーンを起こすことを防止できる。



## 【特許請求の範囲】

【請求項1】 焦電素子、抵抗チップ、電界効果トランジスタチップ、および前記焦電素子と前記抵抗チップと前記電界効果トランジスタチップとを載置するベースを備え、前記ベース上には、前記焦電素子のホット側端子と前記抵抗チップのホット側端子と前記電界効果トランジスタチップのゲート端子とを共通に接続する第1の導電ランド、前記焦電素子のアース側端子と前記抵抗チップのアース側端子とを共通に接続する第2の導電ランド、前記電界効果トランジスタチップのソース端子を接続する第3の導電ランド、および前記電界効果トランジスタチップのドレイン端子を接続する第4の導電ランドが設けられた、焦電型赤外線センサにおいて、前記第1の導電ランドには、前記抵抗チップのホット側端子を接続するホット側抵抗用領域と前記電界効果トランジスタチップのゲート端子を接続するゲート用領域とが切欠を介して隣接して与えられ、前記第2の導電ランドには、前記抵抗チップのアース側端子を接続するアース側抵抗用領域が前記ホット側抵抗用領域と対向して与えられ、前記ホット側抵抗用領域の幅および前記アース側抵抗用領域の幅は、互いに等しく、かつ、前記抵抗チップの幅の0.40~0.76倍であり、前記ホット側抵抗用領域と前記アース側抵抗用領域との間隔dは、前記抵抗チップの長さLの0.30~0.60倍であり、前記ホット側抵抗用領域と前記アース側抵抗用領域との各々の幅が互いに等しくされる部分の長さc1およびc2は、互いに等しく、 $1.2L \leq c1 + c2 + d \leq 1.8L$ の関係を満たすことを特徴とする、焦電型赤外線センサ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、焦電型赤外線センサに関するもので、特に、焦電素子に生じる電荷をリークさせるための抵抗として抵抗チップが用いられる焦電型赤外線センサにおける抵抗チップを接続する電極形状の改良に関するものである。

## 【0002】

【従来の技術】 図2には、典型的な焦電型赤外線センサに与えられる回路構成が示されている。

【0003】 赤外線入力によって、受光部となる焦電素子1には、電荷が生じる。なお、図2では、焦電素子1は、デュアルタイプとして図示されている。焦電素子1に生じた電荷は、リーク用の抵抗2に流れ、そのときの電圧が電界効果トランジスタ(FET)3のゲート端子4に印加され、FET3のソースフォロワに従って、FET3のソース端子5とアース端子6との間のソース抵抗(図示せず)に応じた出力インピーダンスに変換して取出される。なお、FET3からは、さらにドレイン端子7が導出されている。

【0004】 図3には、この発明にとって興味ある従来の焦電型赤外線センサが斜視図で示され、その構成要素

が分解されて示されている。この焦電型赤外線センサは、図2に示した回路構成を有しており、したがって、図3において、図2に示した要素に相当する要素には同様の参照符号を付す。

【0005】 焦電型赤外線センサは、2本のホット側端子リード8および9ならびに1本のアース側端子リード10を保持する、金属製のステム11を備える。ホット側端子リード8および9は、ステム11に対して、電気的に絶縁されている。

10 【0006】 ステム11上には、たとえばアルミナからなるベース12が配置される。ベース12上には、焦電素子1、抵抗チップ2およびFETチップ3が載置される。特にFETチップ3は、ベース2に設けられた矩形の穴13内に受入れられる。なお、ベース12上での電氣的接続状態については、図4をも参照して、後述する。

20 【0007】 光学フィルタ14が、キャン15の窓16を覆うように接着され、その状態で、キャン15は、ベース12ならびにその上の焦電素子1、抵抗チップ2およびFETチップ3を覆うように、ステム11に溶接される。キャン15内には、たとえば窒素ガスが充填される。

【0008】 図4には、ベース12上に設けられる第1の導電ランド17、第2の導電ランド18、第3の導電ランド19および第4の導電ランド20が平面図で示されている。

30 【0009】 第1の導電ランド17は、焦電素子1のホット側端子(図3において下面側に形成される。)と抵抗チップ2のホット側端子21とFETチップ3のゲート端子4とを共通に接続するものであり、焦電素子1のホット側端子を接続するホット側焦電素子用領域12と抵抗チップ2のホット側端子21を接続するホット側抵抗用領域23とFETチップ3のゲート端子4を接続するゲート用領域24とを与えている。

40 【0010】 第2の導電ランド18は、焦電素子1のアース側端子(図3において下面側に形成される。)と抵抗チップ2のアース側端子25とを共通に接続するものであって、焦電素子1のアース側端子を接続するアース側焦電素子用領域26と抵抗チップ2のアース側端子25を接続するアース側抵抗用領域27とが与えられている。また、第2の導電ランド18は、ステム11に保持されたアース側端子リード10に電氣的に接続される。

【0011】 第3の導電ランド19は、FETチップ3のソース端子5を接続する。また、第3の導電ランド19は、ステム11に保持されたホット側端子リード8に電氣的に接続される。

50 【0012】 第4の導電ランド19は、FETチップ3のドレイン端子7を接続する。また、第4の導電ランド20は、ステム11に保持されたホット側端子リード9に電氣的に接続される。

3

【0013】 上述のような第1ないし第4の導電ランド17ないし20に対する、焦電素子1、抵抗チップ2、FETチップ3ならびに端子リード8ないし10の電氣的接続は、クリーム溶ダを塗布し、リフローすることによって達成される。

【0014】

【発明が解決しようとする課題】 かししながら、従来、上述のようなリフローを実施したとき、抵抗チップ2がツームストーンを起し、所望の電氣的接続が達成されず、ある割合で不良が発生していた。そのため、生産歩留まりの向上に限度があるという問題があった。

【0015】 それゆえに、この発明の目的は、上述したような抵抗チップのツームストーンの発生を防止し、それによって生産歩留まりを向上させることができる、焦電型赤外線センサの構造を提供しようとするものである。

【0016】

【課題を解決するための手段】 この発明は、焦電素子、抵抗チップ、FETチップ、およびこれらを載置するベースを備える焦電型赤外線センサに向けられる。ベース上には、前述した従来技術と同様、焦電素子のホット側端子と抵抗チップのホット側端子とFETチップのゲート端子とを共通に接続する第1の導電ランド、焦電素子のアース側端子と抵抗チップのアース側端子とを共通に接続する第2の導電ランド、FETチップのソース端子を接続する第3の導電ランド、およびFETチップのドレイン端子を接続する第4の導電ランドが設けられている。

【0017】 この発明では、上述した技術的課題を解決するため、

(1) 前記第1の導電ランドには、前記抵抗チップのホット側端子を接続するホット側抵抗用領域と前記FETチップのゲート端子を接続するゲート用領域とが切欠を介して隣接して与えられる。

【0018】 (2) 前記第2の導電ランドには、前記抵抗チップのアース側端子を接続するアース側抵抗用領域が前記ホット側抵抗用領域と対向して与えられる。

【0019】 (3) 前記ホット側抵抗用領域の幅および前記アース側抵抗用領域の幅は、互いに等しく、かつ、前記抵抗チップの幅の0.40~0.76倍である。

【0020】 (4) 前記ホット側抵抗用領域と前記アース側抵抗用領域との間隔dは、前記抵抗チップの長さLの0.30~0.60倍である。

【0021】 (5) 前記ホット側抵抗用領域と前記アース側抵抗用領域との各々の幅が互いに等しくされる部分の長さc1およびc2は、互いに等しく、 $1.2L \leq c1 + c2 + d \leq 1.8L$ の関係を満たす。ことを特徴としている。

【0022】

4

【作用】 前述した従来技術では、図3および図4に示すように、第1の導電ランド17において、ホット側抵抗用領域23とゲート用領域24とが連続的に区別なく延びていることがわかる。したがって、ホット側抵抗用領域23上のクリーム溶ダとゲート用領域24上のクリーム溶ダとが、リフロー時において、容易に融合して、その表面張力により、ホット側抵抗用領域23上のグリーン溶ダがゲート用領域24側に引っ張られ、それによって、抵抗チップ2にツームストーンが生じることが確認された。これに対して、この発明では、前述した(1)のように、ホット側抵抗用領域とゲート用領域との間に切欠が形成されているので、ホット側抵抗用領域上のクリーム溶ダがゲート用領域上のクリーム溶ダと融合することが防止される。

【0023】 また、前述した(2)ないし(5)の各条件は、対向するホット側抵抗用領域とアース側抵抗用領域との間で、クリーム溶ダのリフローによって生じる表面張力の差が抵抗チップのツームストーンを生じさせるに至らないようにするため、実験的に求められたものである。

【0024】

【発明の効果】 したがって、この発明によれば、第1および第2の導電ランドの各々の形状が前述のように選ばれているので、抵抗チップのツームストーンの発生を実質的になくすことができ、生産歩留まりを向上させることができる。その結果、焦電型赤外線センサのコストダウンを期待することができる。

【0025】

【実施例】 図1は、この発明の一実施例を示す、図4に相当する図である。図1には、第1の導電ランド17a、第2の導電ランド18a、第3の導電ランド19aおよび第4の導電ランド20aが示されている。たとえば図3において示した従来技術におけるベース12上の第1ないし第4の導電ランド17ないし20を、それぞれ、これら第1ないし第4の導電ランド17aないし20aに置換えることによって、この発明による焦電型赤外線センサを得ることができる。

【0026】 図1を、図3とともに参照しながら、より詳細に説明すると、第1の導電ランド17aには、焦電素子1のホット側端子を接続するホット側焦電素子用領域22aと抵抗チップ2のホット側端子21を接続するホット側抵抗用領域23aとFETチップ3のゲート端子4を接続するゲート用領域24aとが与えられる。ここで、隣接するホット側抵抗用領域23aとゲート用領域24aとの間には、切欠28が形成される。この切欠28の幅aは、好ましくは、0.5~0.7mm程度の寸法とされる。

【0027】 第2の導電ランド18aには、焦電素子1のアース側端子を接続するアース側焦電素子用領域26aと抵抗チップ2のアース側端子25を接続するアース

5

側抵抗用領域27aとが与えられる。ここで、アース側抵抗用領域27aは、前述したホット側抵抗用領域23aと対向するようにされる。

【0028】また、ホット側抵抗用領域23aの幅b1およびアース側抵抗用領域27aの幅b2は、互いに等しく、かつ、抵抗チップ2の幅の0.40~0.76倍とされる。

【0029】また、ホット側抵抗用領域23aとアース側抵抗用領域27aとの間隔dは、抵抗チップ2の長さLの0.30~0.60倍とされる。

【0030】また、ホット側抵抗用領域23aとアース側抵抗用領域27aとの各々の幅b1およびb2が互いに等しくされる部分の長さc1およびc2は、互いに等しく、かつ、 $1.2L \leq c1 + c2 + d \leq 1.8L$ の関係を満たすようにされる。

【0031】第3の導電ランド19aは、従来の第3の導電ランド19と同様、FETチップ3のソース端子5を接続するもので、また、第4の導電ランド20aは、従来の第4の導電ランド20と同様、FETチップ3のドレイン端子7を接続するものである。

【0032】その他の構成は、図3に示した従来の焦電型赤外線センサと実質的に同様である。

【図面の簡単な説明】

【図1】この発明の一実施例による焦電型赤外線センサに含まれるベース上に形成された導電ランド17aない

6

し20aを示す平面図である。

【図2】一般的な焦電型赤外線センサの回路構成図である。

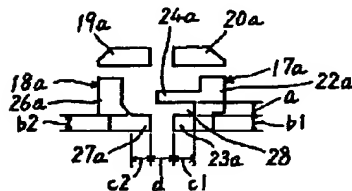
【図3】従来の焦電型赤外線センサを構成する要素を分解して示す斜視図である。

【図4】図3に示したベース12上に形成される導電ランド17ないし20を示す、図1に相当する図である。

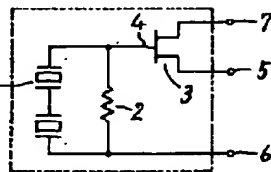
【符号の説明】

- 1 焦電素子
- 2 抵抗(チップ)
- 3 FET(チップ)
- 4 ゲート端子
- 5 ソース端子
- 7 ドレイン端子
- 12 ベース
- 17a 第1の導電ランド
- 18a 第2の導電ランド
- 19a 第3の導電ランド
- 20a 第4の導電ランド
- 21 ホット側端子
- 23a ホット側抵抗用領域
- 24a ゲート用領域
- 25 アース側端子
- 27a アース側抵抗用領域
- 28 切欠

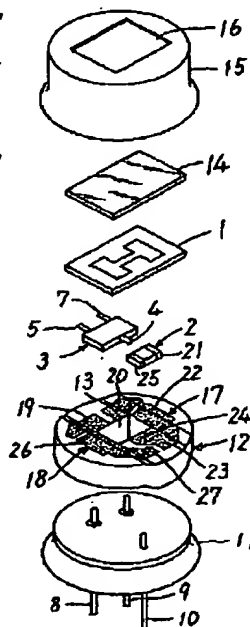
【図1】



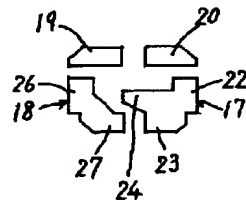
【図2】



【図3】



【図4】

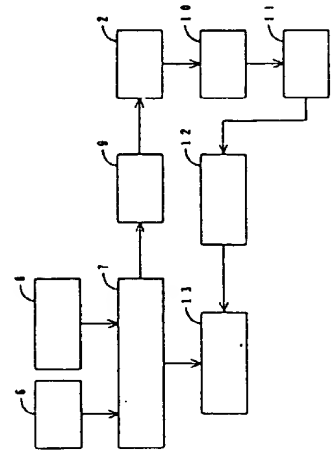


**(54) RESONANCE POINT AUTOMATIC DETECTION DEVICE**

(11) 4-344429 (A) (43) 1.12.1992 (19) JP  
 (21) Appl. No. 3-145268 (22) 22.5.1991  
 (71) HONDA MOTOR CO LTD (72) SATOSHI KAMIYA  
 (51) Int. Cl.<sup>5</sup> G01H13/00

**PURPOSE:** To automatically detect a resonance point of an mechanical sensing element with a resonance characteristic.

**CONSTITUTION:** An alternating current is supplied from a sweeping device 7 to automatically sweep the alternating current to a piezoelectric element 2 as an electric/mechanical sensing element. The maximum value of the aforementioned alternating current is detected by a maximum detection device 12. Thereafter, output frequency of the sweeping device 7 at the time when the maximum value is detected is uptaken to a frequency memory device 13 and memorized. This memorized output frequency is resonance frequency natural to this piezoelectric element 2, that is, a resonance point.



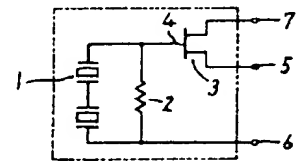
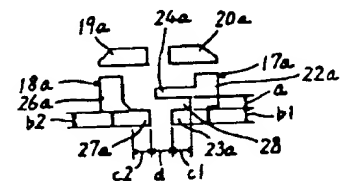
6: oscillator, 7: sweeping device, 8: sweeping time setter,  
 9: power amplifier, 10: electric current amplifier, 11: rectifier

**(54) PYROELECTRIC INFRARED SENSOR**

(11) 4-344430 (A) (43) 1.12.1992 (19) JP  
 (21) Appl. No. 3-115807 (22) 21.5.1991  
 (71) MURATA MFG CO LTD (72) SATOSHI AWATA  
 (51) Int. Cl.<sup>5</sup> G01J1/02, G01J5/02, H01L37/02

**PURPOSE:** To prevent a tomb-stone of a resistance chip and improve production yield by commonly connecting a hot side terminal of a pyroelectric element of a first conductive land, a hot side terminal of a resistance chip and a gate terminal of an electric field effect transistor(FET) chip to each other.

**CONSTITUTION:** A hot side resistance territory 23a to connect a hot side terminal 21 of a resistance chip 2 and a gate territory 24a to connect a gate terminal 4 of an FET chip 3 are given adjacent to each other through a cut-off to a first conductive land 17a. An earth side resistance territory 27a to connect an earth side terminal 25 of a resistance chip 2 is given facing to the territory 23a to a second conductive land 18a. Widths of the territory 23a and the territory 27a are equal to each other, and they are 0.40 to 0.76 times of width of the chip 2. An interval (d) between the territory 23a and the territory 27a is 0.30-0.60 times of length L of the chip 2. Lengths c1, c2 of parts where widths of the territory 23a and the territory 27a are made equal to each other are equal to each other, and it satisfies relation of  $1.2L \leq c1 + c2 + d \leq 1.8L$ .

**(54) OPTICAL SENSOR**

(11) 4-344431 (A) (43) 1.12.1992 (19) JP  
 (21) Appl. No. 3-117186 (22) 22.5.1991  
 (71) SONY CORP (72) NOBUYUKI MAEJIMA  
 (51) Int. Cl.<sup>5</sup> G01J1/42, G01J1/44

**PURPOSE:** To acquire a sensor not requiring readjustment and others even in the case of decrease of emission amount due to use for a long time by providing an output decrease compensation circuit to vary standard voltage in accordance with decrease of an output characteristic of a light receiving element when the output characteristic of the light receiving element decreases.

**CONSTITUTION:** Power voltage  $V_{cc}$  is respectively supplied to a light emitting diode D through a resistor  $R_4$  and to a collector terminal of a phototransistor  $Tr$  through series circuits of two resistors  $R_{L1}$ ,  $R_{L2}$ . Collector terminal voltage of the phototransistor  $Tr$  is introduced to a reversal input terminal of a comparator  $A_1$  as output voltage. Standard voltage obtained by dividing pressure of power voltage by series circuits of two resistors  $R_5$ ,  $R_6$  is introduced to a normal input terminal of the comparator  $A_1$ . Consequently, when emission amount of the light emitting diode D decreases due to use for a long time or an output characteristic decreases because of decrease of a light receiving characteristic of the phototransistor  $Tr$ , this standard voltage is varied by an output decrease compensation circuit 1.

